

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-012364

(43)Date of publication of application : 17.01.1989

(51)Int.Cl.

G06F 15/16

G06F 13/38

G06F 15/16

(21)Application number : 62-168437

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 06.07.1987

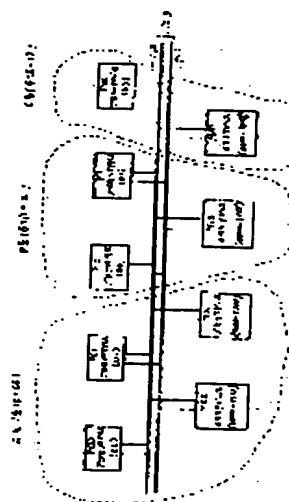
(72)Inventor : KOHAMA HARUO
HIRAMATSU TAKUYA
TAJIMA SEIJIRO

(54) SYSTEM CONSTITUTION CONTROL SYSTEM

(57)Abstract:

PURPOSE: To rapidly perform the change of system constitution, by attaching group identification information at every group after dividing all modules in a system into plural systems (groups), and permitting only communication between the modules that belong to the same group.

CONSTITUTION: A bus B is constituted of an address line and a data line, and all processors P00WP20 and memories M00WM20 are connected commonly to the bus B. Out of them, the system A is constituted of the processor P00 and P01 and the memories M00 and M01, and similarly, the system B is constituted of the processors P10 and P11 and the memories M10, and the system C is constituted of the processor P20 and the memory M20. The processor and the memory that belong to each system are provided with proper system ID (00 for the system A, 01 for the system B, and 10 for the system C), and the communication is permitted only between the processors or between the processor and the memory holding the same system ID.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭64-12364

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月17日

G 06 F 15/16
13/38
15/163 4 0
4 0 0S-6745-5B
A-8840-5B
B-6745-5B

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 システム構成制御方式

⑯ 特 願 昭62-168437

⑰ 出 願 昭62(1987)7月6日

⑱ 発 明 者 小 浜 晴 雄 神奈川県横須賀市武1丁目2356番地 日本電信電話株式会社
社情報通信処理研究所内⑲ 発 明 者 平 松 琢 弥 神奈川県横須賀市武1丁目2356番地 日本電信電話株式会社
社情報通信処理研究所内⑳ 発 明 者 多 嶋 清 次 郎 神奈川県横須賀市武1丁目2356番地 日本電信電話株式会社
社情報通信処理研究所内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 鈴木 誠

明 細 書

1. 発明の名称

システム構成制御方式

2. 特許請求の範囲

(1) 複数モジュールからなり、任意のモジュール間で相互に通信を行うことができる情報処理システムにおいて、システム内の全モジュールを互いに排他的又は重複可能な複数個のグループに分割して、各モジュール毎に自モジュールがどのグループに属するかを識別するグループ識別情報を保持し、同一グループ識別情報を保持するモジュール間のみ通信を許可することを特徴とするシステム構成制御方式。

(2) 特許請求の範囲第1項記載のシステム構成制御方式において、モジュール間通信を行うに当り送信元モジュールから送信先モジュールへグループ識別情報を送出し、送信先モジュールにおいて送出されてきたグループ識別情報と自モジュールが保持するグループ識別情報を比較し、送信元モジュールと送信先モジュールが同一グ

ループに属する場合にのみモジュール間通信を可能とすることを特徴とするシステム構成制御方式。

(3) 特許請求の範囲第1項記載のシステム構成制御方式において、モジュール間通信を行うに当り、送信元モジュールにおいて、送信先モジュールがどのグループに属するかをグループ識別情報に基づいて判定し、送信元モジュールと送信先モジュールが同一グループに属する場合にのみモジュール間通信を可能とすることを特徴とするシステム構成制御方式。

(4) 特許請求の範囲第1項、第2項又は第3項記載のシステム構成制御方式において、システム内の特定モジュール又はシステム外の装置から、モジュール識別情報を変更できるようにしたこととを特徴とするシステム構成制御方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はシステム構成制御方式に係り、詳しくは、プロセッサやメモリ等の複数モジュールから

成る情報処理システムにおいて、プロセッサ—プロセッサ間、プロセッサ—メモリ間の論理的接続関係を制御する方式に関する。

〔従来の技術〕

情報処理システムは、一般にプロセッサやメモリ等の複数モジュールからなり、モジュール間で相互に通信を行える構成となっている。従来、この種の情報処理システムが、高トラック制御や高信頼性を実現するため、複数の系（グループ）から成る場合、各系毎にプロセッサ—プロセッサ間あるいはプロセッサ—メモリ間の接続は物理的に独立で、系の異なるモジュール間での相互通信を可能にする接続構成となっていないのが普通である。

〔発明が解決しようとする問題点〕

従来の情報処理システムでは、系毎のプロセッサ—プロセッサ間あるいはプロセッサ—メモリ間の接続が物理的に独立であったため、例えば、A系のプロセッサをB系に取替える場合には、ハードウェアの工事が必要であり、このため、各系

モジュール間の物理的な接続関係を変更することなく、種々のシステム構成を可能としたものである。

〔実施例〕

以下、本発明の一実施例について図面により説明する。

第1図は本発明の第1の実施例のシステム構成例で、システム内の全モジュール（プロセッサP及びメモリM）を互いに排他的な複数（こゝでは3つ）の系（グループ）に分割した場合を示したものである。第1図において、バスBはアドレス線とデータ線よりなり、該バスBに全てのプロセッサP00～P20、メモリM00～M20が共通に接続されている。このうち、プロセッサP00、P01とメモリM00、M01でA系を構成し、同様にプロセッサP10、P11とメモリM10でB系、プロセッサP20とメモリM20でC系を構成している。各系に属するプロセッサ、メモリは各々固有の系ID（こゝでは、A系＝00、B系＝01、C系＝10とする）を保持し、同一系IDを保持するプロセッサ—プロセッサ間ある

のトラヒック条件又は信頼性条件等の変化に応じて、系間のハードウェアリソース（プロセッサ、メモリ）の配分を動的に変更するといった柔軟なシステム構成が取れない問題があった。また、システムの設置作業として、運用時のシステム構成に対応したプロセッサ、メモリの接続工事を行う必要があると言った問題があった。

本発明の目的は、トラヒック条件、信頼度条件等の変更に対して、システム構成の変更を迅速に行えるようにするとともに、運用時のシステム構成とは無関係にプロセッサ、メモリの接続工事を行えるようにしたシステム構成制御方式を提供することにある。

〔問題点を解決するための手段及び作用〕

本発明は、システム内の全モジュールを互いに排他的又は重複可能な複数の系（グループ）に分割して、システム内の各モジュール毎に自モジュールがどのグループに属するかを識別するグループ識別情報を持たせ、同一グループに属するモジュール間の通信のみを許可することにより、モジ

いはプロセッサ—メモリ間のみ通信を可能にせしめる。

第2図は第1図の各プロセッサ、メモリのバスインタフェース部の構成を示したものである。即ち、バスインタフェース部10は、自分の属する系IDを保持するレジスタ11、自分の系内アドレス（系内プロセッサアドレスまたはメモリアドレス）を保持するレジスタ12、バスBのアドレス線の情報を取込むアドレスレジスタ13、バスBのデータ線の情報を取込むレジスタ14、レジスタ11の自分の系IDやレジスタ12の系内アドレスとレジスタ13の内容を比較する比較回路15、モジュール間通信の際に送信先モジュールアドレス情報を保持するアドレスレジスタ16、及びモジュール間の通信データを保持するレジスタ17より成る。なお、アドレスレジスタ13、16は各々系ID部131、161と系内アドレス部132、162から構成される。

例えばA系のプロセッサP00上のソフトウェアが、メモリの“0800”番地へのアクセス

(書き込み)を指示した場合、まずプロセッサP0では、アドレスレジスタ16の系ID部161にレジスタ11の自分の系ID("00")を、系内アドレス部162にソフトウェアが指定したメモリアドレス("0800")を設定し、また、データレジスタ17にはソフトウェアが指定した書き込みデータを設定して、各々、バスBのアドレス線、データ線に送出する。同時にバスBのアドレス線の情報がメモリアドレスであることを示す信号を、該アドレス線を使用して送出する。

バスBのアドレス線の情報がメモリアドレスである場合、該バスBに接続される全てのメモリモジュールでは、各々、バスBのアドレス線の情報をアドレスレジスタ13に取込み、該アドレスレジスタ13の系ID部131の内容とレジスタ11に保持している自分の系IDを比較回路15で比較する。その結果、メモリM00およびM01でアドレスレジスタ13の系ID部131の内容とレジスタ11の自分の系IDが一致する。この系IDの一致したメモリM00およびM01は、

データ線に送出する。同時にバスBのアドレス線の情報がプロセッサアドレスであることを示す信号を、該アドレス線を使用して送出する。

バスBのアドレス線の情報がプロセッサアドレスである場合、該バスBに接続される全てのプロセッサが、各々、バスBのアドレス線の情報をアドレスレジスタ13に取込み、該アドレスレジスタ13の系ID部131の内容とレジスタ11の自分の系IDを比較する。その結果、プロセッサP11でアドレスレジスタ13の系ID部の内容と自分の系IDが一致する。この系IDの一致したプロセッサP11は、つぎにアドレスレジスタ13の系内アドレス部132の内容と、レジスタ12の自分の系内プロセッサアドレスを比較回路15で比較する。こうして、プロセッサP11は、アドレスレジスタ13の系内アドレス部132の内容が自分の系内プロセッサアドレスと一致していることを検出し、該プロセッサP11はバスBのデータ線の情報をデータレジスタ14に取込み、ソフトウェアにプロセッサP10からの送信デー

タにアドレスレジスタ13の系内アドレス部132の内容とレジスタ12に記憶している自分のメモリアドレスを比較回路15で比較する。こうして、メモリM00はアドレスレジスタ13の系内アドレス部132の内容がレジスタ12に記憶している自分のメモリアドレスの範囲内であることを検出し、バスBのデータ線の情報をデータレジスタ14に取込み、アドレスレジスタ13の系内アドレス部132で指定されるアドレスの内容を書き換える。

次に、B系のプロセッサP10上のソフトウェアが、プロセッサP11との通信(データ転送)を指示した場合、まずプロセッサP10では、アドレスレジスタ16の系ID部161にレジスタ11の自分の系ID("01")を、系内アドレス部162にはソフトウェアが指定した通信相手プロセッサアドレス(プロセッサP11のプロセッサアドレス:"01")を設定し、また、データレジスタ17にはソフトウェアが指定した送信データを設定して、各々、バスBのアドレス線、

タを通知する。

このように、第1の実施例では、モジュール間通信の際に、送信先モジュール(プロセッサあるいはメモリ)が、バスのアドレス線により送られてくる系IDと自分の系IDとを比較し、一致した時のみ送信データを取込むため、各モジュールは、異なった系のモジュールからの影響(割込み、メモリ記憶内容の破壊等)を受けることがなく、システム内の各系は、理論的に独立に異なった処理を同時に実行可能である。

また、各モジュールが保持する系ID、系内アドレスを、システム内の特定のプロセッサ(例えばシステム内の各プロセッサ、メモリの状態監視、動作制御を行うサービスプロセッサ)からのスキャン、あるいは外部からのスイッチ設定等により書き換え可能とすることにより、トラヒック条件、信頼度条件等の変化に対応したシステム構成(プロセッサ台数、メモリ台数)の変更が容易に可能となる。さらに、システム設置作業時に、運用の際のシステム構成とは無関係にプロセッサ、メモ

りの接続工事が可能である。

第3図は本発明の第2の実施例のシステム構成例で、システム内の全モジュール（プロセッサPおよびメモリM）を一部重複して複数（ここでは3つ）の系に分割した場合を示したものである。第3図において、バスBに共通接続された全てのプロセッサP0～P4、メモリM0～M5は、A系、B系、C系の3つの系（グループ）に分割され、そのうちメモリM1およびM3は2つの系で共有されている。各プロセッサP0～P4及びメモリM0～M5には各々固有のモジュールアドレスが割当てられる。

第4図は、第3図の各プロセッサ、メモリのバスインタフェース部の構成を示すものであり、該バスインタフェース部10は、自分のモジュールアドレスを保持するレジスタ12、バスBのアドレス線の情報を取込むアドレスレジスタ13、バスBのデータ線の情報を取込むレジスタ14、レジスタ12の自分のモジュールアドレスとレジスタ13の内容を比較する比較回路15、モジュール

間通信データを保持するレジスタ17、システム内の各プロセッサ、メモリが何れの系に属するかの情報を保持し、他モジュールへの情報転送の可否を制御する制御回路18より成る。なお、アドレスレジスタ13、16は各々モジュールアドレス部131、161とメモリアクセスの際にメモリモジュール内のアドレスを指定するモジュール内アドレス部132、162から構成される。

第5図は、制御回路18の内部構成を示したもので、システム内の全プロセッサ、メモリが何れの系に属するかを保持する制御テーブル180と、制御テーブル180からの読出し情報を保持するレジスタ186、187と、レジスタ186とレジスタ187の内容のANDをとるAND回路188からなる。制御テーブル180の各エントリ181～185は、システム内の全てのモジュールと1対1に対応し、かつシステム内の各系に対応した複数のビットを有しており、対応するモジュールが属する系に対応するビットは“1”に設定されている。

例えば、A系（系ID=00）のプロセッサP0上のソフトウェアが、A系とB系で共有するメモリM1へのアクセス（読み込み）を行う場合、メモリM1のモジュールアドレス（“11”）とメモリモジュール内アドレスをアドレスレジスタ16の161、162に設定し、読み込みデータをデータレジスタ17に設定する。次に制御回路18では、レジスタ12に自モジュールアドレス（P0=00）で指定される制御テーブル180のエントリ181の内容をレジスタ186に、アドレスレジスタ16のモジュールアドレス部161（M1=11）で指定される制御テーブル180のエントリ185の内容をレジスタ187に読出し、両方のレジスタ186、187のビット毎の論理積をAND回路188により求め、該いずれかのビットが“1”である場合、即ち、プロセッサP0とメモリM1が同じ系である場合、AND回路188の出力信号を“1”とする。これにより、ゲート回路191、192を介してアドレスレジスタ16、データレジスタ17の内容が各々

バスBのアドレス線、データ線に送出される。

バスBに接続される各プロセッサ、メモリは、バスBのアドレス線の情報を自モジュール内のアドレスレジスタ13に取込む。そして、アドレスレジスタ13のモジュールアドレス部131の内容とレジスタ12の自分のモジュールアドレスを比較回路15で比較し、一致した場合、バスBのデータ線の情報をデータレジスタ14に取込む。本例の場合、A系とB系で共有するメモリM1が一致を検出して、プロセッサP0がバスBのデータ線に送出した読み込みデータをデータレジスタ14に取込み、アドレスレジスタ13のモジュール内アドレス部132で指定したアドレスへの読み込み動作を行う。なお、指定されたモジュールがプロセッサの場合には、データレジスタ14の内容を自プロセッサ上のソフトウェアに通知する。

このように、第2の実施例では、モジュールのグループ分けにおいて、複数のグループが、同一プロセッサまたはメモリを共用することができるため、複数の系間で同一メモリを共用し、系間通

信情報を共用メモリを介して受渡しすることにより、従来ディスク装置等を用いて行っていた系間通信を高速に行うことができる。また、1台のプロセッサをシステム内の全ての系が共用するとともに、システム内の各モジュールが有する制御テーブル180の内容を共用したプロセッサからの指示により書換えを可能とすることにより、共用したプロセッサが各系のトラヒック状況を監視し、トラヒック状況に応じてシステム内の系構成を、ダイナミックに切替えることが可能となる。

〔発明の効果〕

以上説明したように、本発明によれば、バスに共通接続される複数のモジュールから構成される情報処理システムについて、該システムを任意に複数の系（グループ）に分割でき、同一系に属するモジュール間でのみ通信が可能であるため、次のような効果が得られる。

① 各系（グループ）で論理的に独立に異なった処理を同時に実行可能であり、例えば複数の異なったOSを同時に実行することができる。

② システム内の各系のトラヒック状況、信頼度条件の変化に応じてシステム内の系構成をダイナミックに切替えでき、システム処理の高速化、システムの高信頼化が実現できる。

③ システム設置作業時に、運用の際のシステム構成とは無関係にプロセッサ、メモリの接続工事が可能であり、設置作業工数が短縮できる。

④ 複数の系間で同一メモリを共用し、系間通信情報を共用メモリを介して受渡しすることにより、従来ディスク装置等を用いて行っていた系間通信を高速に行うことができる。

4. 図面の簡単な説明

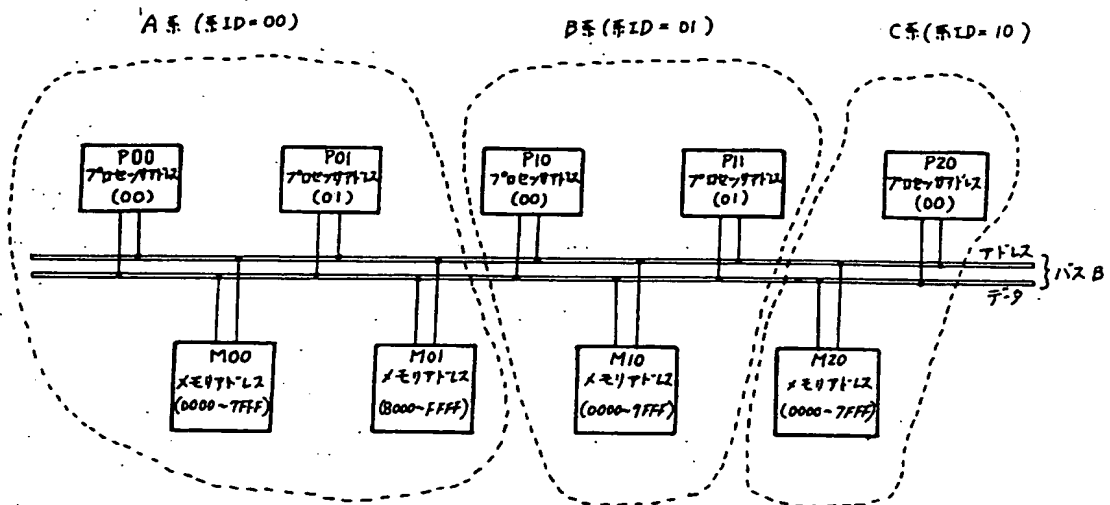
第1図は本発明の第1の実施例のシステム構成例を示す図、第2図は第1図のプロセッサ、メモリのバスインタフェース部の構成例を示す図、第3図は本発明の第2の実施例のシステム構成例を示す図、第4図は第3図のプロセッサ、メモリのバスインタフェース部の構成例を示す図、第5図は第4図の制御回路の内部構成を示す図である。

P…プロセッサ、 M…メモリ、

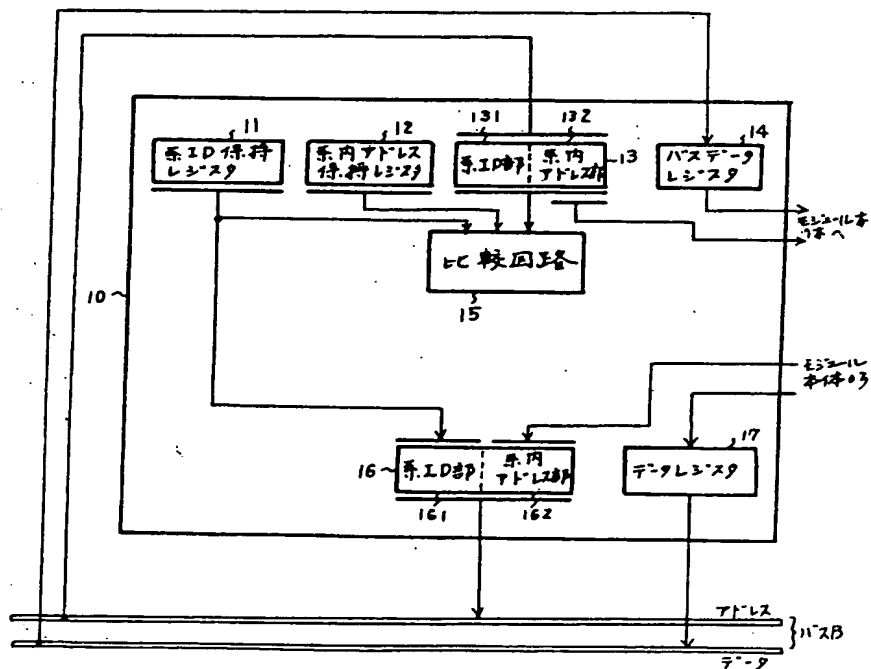
- 11…自系ID保持レジスタ、
- 12…自系内アドレス／モジュールアドレス保持レジスタ、
- 13…バス上アドレス取込みレジスタ、
- 14…バス上データ取込みレジスタ、
- 15…比較回路、
- 16…送信先モジュールアドレス保持レジスタ、
- 17…モジュール間の通信データ保持レジスタ、
- 18…制御回路。

代理人弁理士 鈴木 誠

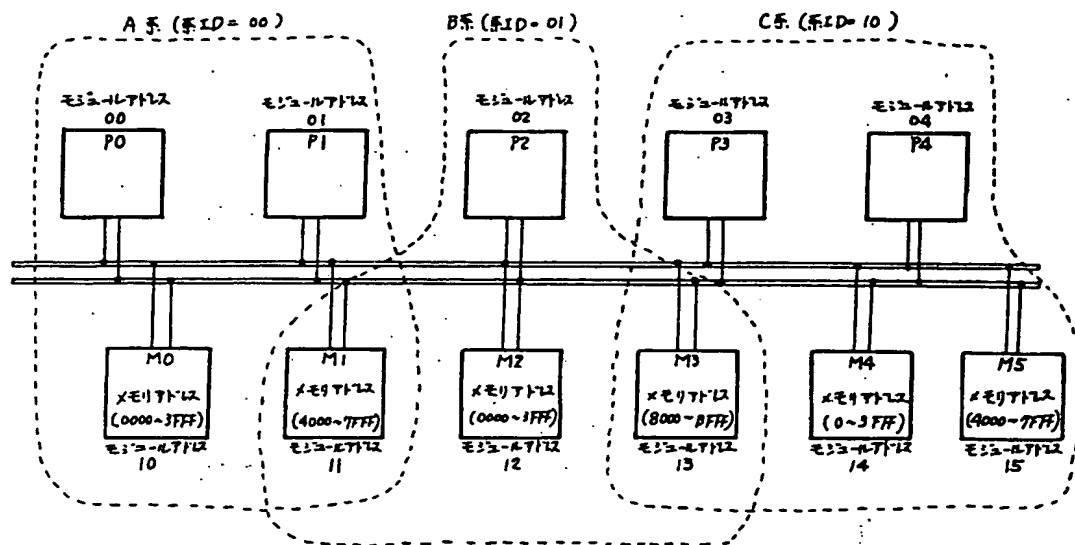
第 1 図



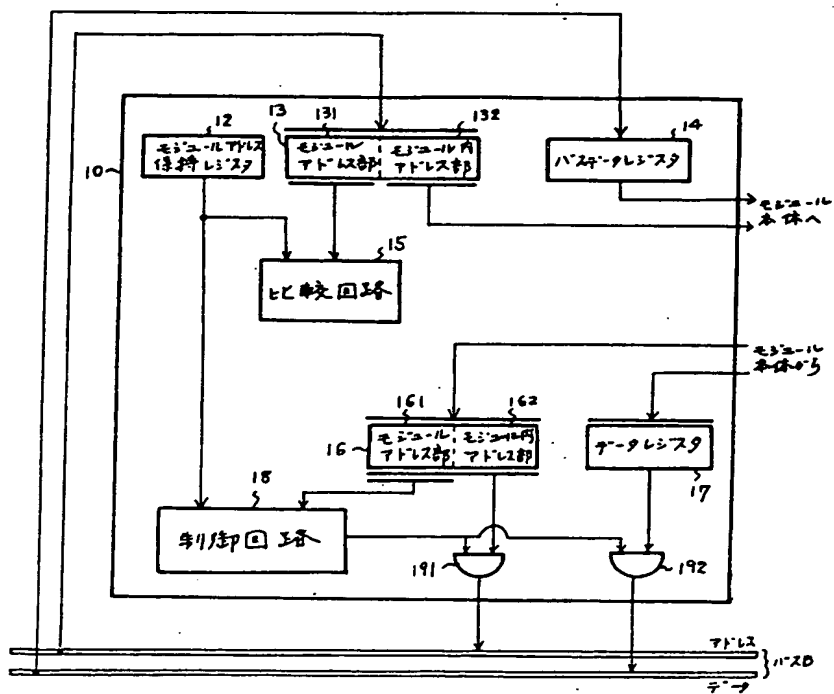
第 2 図



第 3 図



第 4 図



第5図

